

# 薄膜エピタキシャル基板を用いた 半導体デバイスのラッチアップ特性

Latch up Characteristics of Semiconductor Device with Thin Epitaxy on P+ Substrate

鈴木 輝夫      関野 聡\*      伊藤 誠吾      門馬 秀夫\*  
Teruo Suzuki    Satoshi Sekino    Seigo Ito      Hideo Monma

富士通 VLSI 株式会社 VLSI 研究所

VLSI Laboratory, FUJITSU VLSI LIMITED

\*富士通株式会社 LSI 製造事業本部

\* LSI Manufacturing Group, FUJITSU LIMITED

## 【要 旨】

ラッチアップ耐量等の特性に優れる Epi 基板が量産デバイスに広く適用されていくためには、Epi 層の薄膜化などによるコストダウンが必要である。今回、Epi 膜厚が 1~2 $\mu\text{m}$  の比較的薄い Epi 基板と CZ 基板を用いてラッチアップ耐量評価を行なった。通常 CZ 基板に比べ Epi 基板が、また Epi 膜厚が薄いほどラッチアップに強いと言われているが、Epi 膜厚が薄くなると逆に、高濃度基板からの不純物の熱拡散の影響で Nwell 抵抗が増加し、ラッチアップ耐量が悪くなる場合があることがわかった。